

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Masaru TSUKIJI

Serial No. (unknown)

Filed herewith

STRUCTURE AND MANUFACTURING
METHOD OF NON-VOLATILE
FLASH MEMORY

jc841 U.S. PTO
09/761693
01/18/01



CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119
AND SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicant's corresponding patent application filed in Japan on January 19, 2000 under No. 2000-014139.

Applicant herewith claims the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By



Robert J. Patch
Attorney for Applicant
Registration No. 17,355
745 South 23rd Street
Arlington, VA 22202
Telephone: 703/521-2297

January 18, 2001

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

jc841 U.S. PTO
09/761693
01/18/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application: 2000年 1月 19日

出願番号

Application Number: 特願2000-014139

出願人

Applicant(s): 日本電気株式会社

2000年 9月 29日

特許庁長官
Commissioner,
Patent Office

及川耕造

出証番号 出証特2000-3080041

JC841 U.S. PRO
09/761693

01/18/01

【書類名】 特許願
 【整理番号】 74111785
 【提出日】 平成12年 1月19日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 29/788
 H01L 29/792

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
 【氏名】 築地 優

【特許出願人】

【識別番号】 000004237
 【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100084250

【弁理士】

【氏名又は名称】 丸山 隆夫
 【電話番号】 03-3590-8902

【手数料の表示】

【予納台帳番号】 007250
 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9303564

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性メモリ構造及びその製造方法

【特許請求の範囲】

【請求項1】 浮遊ゲートを有する共通ソース線構成のNOR型不揮発性フラッシュメモリ構造において、メモリセルのドレインとゲートとのオーバーラップが、ソースと前記浮遊ゲートとのオーバーラップよりも大きいことを特徴とする不揮発性メモリ構造。

【請求項2】 浮遊ゲートを有する共通ソース線構成のNOR型不揮発性フラッシュメモリ構造において、メモリセルのドレインとゲートとのオーバーラップaと、ソースと前記浮遊ゲートとのオーバーラップbとの差($a - b$)が $0.02 \mu m$ 以上であることを特徴とする不揮発性メモリ構造。

【請求項3】 浮遊ゲートを有する共通ソース線構成のNOR型不揮発性フラッシュメモリ構造において、メモリセルのソースは、基板との接合付近の不純物濃度分布が緩やかに形成されていることを特徴とする不揮発性メモリ構造。

【請求項4】 前記ソースは、少なくとも第1のソースと第2のソースとかなり、前記第1のソースと第2のソースとは接触して形成され、当該第1のソースは前記浮遊ゲートとオーバーラップする領域に形成されていることを特徴とする請求項1から3のいずれか1項に記載の不揮発性メモリ構造。

【請求項5】 前記第2のソースは、前記第1のソースより不純物濃度が高いことを特徴とする請求項4に記載の不揮発性メモリ構造。

【請求項6】 前記少なくとも第1のソースと第2のソースとからなるソースは、一体化して形成されていることを特徴とする請求項4または5に記載の不揮発性メモリ構造。

【請求項7】 素子分離領域で仕切られた複数のメモリセルを有する不揮発性メモリ構造であって、

前記不揮発性メモリ構造は、複数の浮遊ゲートと、複数のドレインと、1つのソースとを有し、前記ソースは、前記メモリ構造に共有され、かつ、前記ドレンよりも不純物濃度を低くしたことを特徴とする不揮発性メモリ構造。

【請求項8】 前記複数のメモリセルは、一対であることを特徴とする請求

項7に記載の不揮発性メモリ構造。

【請求項9】 前記複数の浮遊ゲートと複数のドレインの数が等しいことを特徴とする請求項7または8に記載の不揮発性メモリ構造。

【請求項10】 素子分離領域で仕切られた複数のメモリセルと、複数のメモリセルと、複数のドレインと、1つのソースとを有する不揮発性メモリ構造の製造方法であって、

前記ソースの不純物拡散後の熱処理を、前記ドレインの不純物拡散後の熱処理よりも抑制したことを特徴とする不揮発性メモリ構造の製造方法。

【請求項11】 前記ソースの不純物拡散の濃度を、前記ドレインの不純物拡散の濃度よりも低くしたことを特徴とする請求項10に記載の不揮発性メモリ構造の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は不揮発性メモリ構造及びその製造方法に関する。

【0002】

【従来の技術】

フラッシュメモリの書き動作の一つとして、ゲートとドレインのオーバーラップからファウラー・ノルドハイム (Fauler-Nordheim : 以下FNと略す) 型のトンネル現象を用いて電子を引き抜く方法がある。

【0003】

以下、図を用いてその動作を説明する。

図8および図9に、従来のフラッシュメモリの断面図の一例を示す。図9に示すように、半導体基板1の表面に、素子分離領域2と、ソース3と、ドレイン4とが形成されている。図8に示すように、ソース3とドレイン4間の基板1の表面には、下から順に、トンネル膜としての第1のゲート絶縁膜5、浮遊ゲート6、インタポリシリコン膜としての第2のゲート絶縁膜7、および制御ゲート8が形成されている。浮遊ゲート6とドレイン4にはオーバーラップ領域がある。

【0004】

書込時は浮遊ゲート6に例えば-12Vを印加し、ドレイン4に+5Vを印加する。これにより、浮遊ゲート6から、ドレイン4に向かってオーバーラップ領域のトンネル膜を介して、電子が引き抜かれる。書込を高速化するために、通常、ドレイン4と浮遊ゲート6とのオーバーラップを多く確保することが行われている。このオーバーラップが小さいと、書込時にドレイン4と基板の接合からドレイン方向に伸長した空乏層がオーバーラップ領域を覆い、浮遊ゲート6-ドレイン4間に印加された電圧が、空乏層にも分割されてトンネル膜にかかる電圧が小さくなり、書込が遅くなる。このため、高速化のためにオーバーラップを大きく確保する。このオーバーラップを大きくするためには、熱処理を行ってドレインを押し込む必要がある。

【0005】

更に書込の高速化のために、書込時のドレイン電圧を高くすることが有効であり、この印加電圧の値は、通常読み出し時のドレイン電圧よりも高くなる。

そのため微細なデバイスにおいては、書込時にドレイン4とソース3の間でパンチスルーハードが発生してソース・ドレイン間に電流が流れてしまい、ドレイン電位が所望の値より低下する。その結果として、書込速度が低下するという問題が生じる。

【0006】

そこで前記したようなパンチスルーハードを抑制するために、書込に用いないソースを後退させるということが行われる。しかしながら、さらなる素子の微細化により、上記したような手段を講じただけでは、パンチスルーハードを抑制することが困難になってきている。これを解消するため、書込時にソースとドレインとに同じ電圧を印加し、パンチスルーハードを抑制する方法が提案された (M.Kato et al., Technical Dig. of IEDM, p177, 1996)。

【0007】

これを、図8、9を用いて説明する。図8のNOR型アレイ構成において選択セルのビット線11、及びソース線に同じ大きさの正電圧を印加し、ワード線15（制御ゲート）に負電圧を印加する事により、ソース-ドレイン間のパンチスルーハードが起きることなく、浮遊ゲートから、ドレイン及びソースへの電荷引き抜き

が行われる。

【0008】

一方、NOR型のアレイ構成においては、その面積を小さくするために図9に示すような共通ソース線構造が用いられることがある。

しかしながら、従来技術の書き込み方法で用いられるソースとドレインに、同じ電圧を印加する前記した方法を、共通ソース線構成に適用することができず、パンチスルー抑制が図れず、また同時にアレイの省面積化を両立させられないという問題がある。このような従来の共通ソース線構成において、書き込み時にソースとドレインに同じ大きさの高電圧を印加すると、隣接するセルにもソースに正電圧が印加され、ワード線に負電圧が印加されるため、浮遊ゲートからソースへ電子が引き抜かれ、書き込みを行わないはずの非選択のセルに、書き込みが行われてしまう。

【0009】

【発明が解決しようとする課題】

本発明の主な目的は、微細なフラッシュメモリにおいてパンチスルーを抑制し、かつ省面積化することが可能な共通ソース線構造を両立させる不揮発性メモリ構造を提供することにあり、かつこのような構造を用いて非選択セルの書き込みを有效地に防止する方法を提供することにある。

【0010】

【課題を解決するための手段】

請求項1に記載の不揮発性メモリ構造の発明は、浮遊ゲートを有する共通ソース線構成のNOR型不揮発性フラッシュメモリ構造において、メモリセルのドレインとゲートとのオーバーラップが、ソースと前記浮遊ゲートとのオーバーラップよりも大きいことを特徴とする。

【0011】

請求項2に記載の不揮発性メモリ構造の発明は、浮遊ゲートを有する共通ソース線構成のNOR型不揮発性フラッシュメモリ構造において、メモリセルのドレインとゲートとのオーバーラップaと、ソースと前記浮遊ゲートとのオーバーラップbとの差(a-b)が0.02μm以上であることを特徴とする。

【0012】

請求項3に記載の不揮発性メモリ構造の発明は、浮遊ゲートを有する共通ソース線構成のNOR型不揮発性フラッシュメモリ構造において、メモリセルのソースは、基板との接合付近の不純物濃度分布が緩やかに形成されていることを特徴とする。

【0013】

請求項4に記載の不揮発性メモリ構造の発明は、請求項1から3のいずれか1項において、前記ソースは、少なくとも第1のソースと第2のソースとからなり、前記第1のソースと第2のソースとは接触して形成され、当該第1のソースは前記浮遊ゲートとオーバーラップする領域に形成されていることを特徴とする。

【0014】

請求項5に記載の不揮発性メモリ構造の発明は、請求項4において、前記第2のソースは、前記第1のソースより不純物濃度が高いことを特徴とする。

【0015】

請求項6に記載の不揮発性メモリ構造の発明は、請求項4または5において、前記少なくとも第1のソースと第2のソースとからなるソースは、一体化して形成されていることを特徴とする。

【0016】

請求項7に記載の不揮発性メモリ構造の発明は、素子分離領域で仕切られた複数のメモリセルを有する不揮発性メモリ構造であって、

前記不揮発性メモリ構造は、複数の浮遊ゲートと、複数のドレインと、1つのソースとを有し、前記ソースは、前記メモリ構造に共有され、かつ、前記ドレンよりも不純物濃度を低くしたことを特徴とする。

【0017】

請求項8に記載の不揮発性メモリ構造の発明は、請求項7において、前記複数のメモリセルは、一対であることを特徴とする。

【0018】

請求項9に記載の不揮発性メモリ構造の発明は、請求項7または8において、前記複数の浮遊ゲートと複数のドレンの数が等しいことを特徴とする。

【0019】

請求項10に記載の不揮発性メモリ構造の製造方法の発明は、素子分離領域で仕切られた複数のメモリセルと、複数のメモリセルと、複数のドレインと、1つのソースとを有する不揮発性メモリ構造の製造方法であって、前記ソースの不純物拡散後の熱処理を、前記ドレインの不純物拡散後の熱処理よりも抑制したことの特徴とする。

【0020】

請求項11に記載の不揮発性メモリ構造の製造方法の発明は、請求項10において、前記ソースの不純物拡散の濃度を、前記ドレインの不純物拡散の濃度よりも低くしたことを特徴とする。

【0021】

【発明の実施の形態】

本発明は、共通ソース線構成のNOR型フラッシュメモリにおいて、メモリセルのドレインとゲートのオーバーラップが大きく、ソースとゲートのオーバーラップが小さい構造を有する。また本発明は、共通ソース線構成のNOR型フラッシュメモリにおいて、ソースは基板との接合付近の不純物濃度分布が緩やかに形成されていることを特徴とする。書き込時は選択ワード線に負電圧を印加し、選択ビット線とソース線に同じ大きさの正電圧を印加することにより、選択セルではソース・ドレイン間のパンチスルーがなく、浮遊ゲートからドレインに電荷を引き抜くことができる。この時、隣接セルのソースに正電圧、ワード線に負電圧がかかるが、ソースと浮遊ゲートのオーバーラップが小さいために、浮遊ゲートからソースへの電荷引き抜きは起こらず、このセルが非選択であった場合に誤書き込は生じないという効果が得られる。或いはソースの不純物濃度分布が緩やかであるため、ソースに正電圧を印加した際にソース内へ空乏層が伸長し、浮遊ゲート-ソース間に印加された電圧の一部が空乏層に分割され、トンネル膜にかかる電圧が低下するため、浮遊ゲートからソースへの電荷引き抜きが起こらず、セルが非選択であった場合に誤書き込は生じないという効果を有する。

【0022】

次に、本発明の第1実施形態について説明する。

<第1実施形態>

図1に、本発明に係るフラッシュメモリの第1実施形態の平面図を示す。なお図1において、後に説明する等価回路を示す図3の配線と対応して示されているが、図1においては、たとえば最上に記されたワード線14の中央付近に記された2つの斜線部分である浮遊ゲート6は、ワード線の下面に接触していることを示す。また当然であるが、ワード線とビット線あるいはワード線と共通ソース線との間には電気的に導通されていない。また本図では、ワード線14, 15と、ビット線または共通ソース線とは、ワード線が上となるようになっているが、この上下の関係は反対に構成されていてもよい。また図1において、ワード線14およびワード線15の3本のワード線には、前記した中央付近に記された2つの斜線部分で記された浮遊ゲート6は、後述する図5に示すように、Y方向に一様に伸長する様にパターニングされた構造となっている。

また図2に、図1のA-A線に沿った断面図を示す。

【0023】

前記した図1に示すように、素子分離領域2と、ソース3と、ドレイン4とが、Y方向に走っている。ソース3及びドレイン4は拡散層配線として形成され、それぞれソース線及びビット線として振る舞う。ソース3は左右2つのメモリセルに共有され、共通ソース線となっている。ソース3とドレイン4との間には、浮遊ゲート6が形成されている。

一方、X方向には制御ゲート8が走り、ワード線として振る舞う。

また図2に示すように、半導体基板1の表面に、素子分離領域2とソース3及びドレイン4が形成されている。基板1の表面のソース3とドレイン4との間には、下から順に、トンネル膜としての第1のゲート絶縁膜5、浮遊ゲート6、インタポリシリコン膜としての第2のゲート絶縁膜7、制御ゲート8などが形成されている。浮遊ゲート6とドレイン4とは、第1の絶縁膜5を介して大きなオーバーラップを有する。そして本発明に従って、ソース3と浮遊ゲート6は、オーバーラップが小さい構成となっている。

【0024】

図3は、図1のアレイ構成の等価回路を示した図である。これを用いて書込動

作を説明する。書込時には選択ビット線11と共にソース線12とに、例えば5Vの正電圧を、また選択ワード線15に例えば-12Vの負電圧を印加する。非選択ビット線13及び非選択ワード線14は接地電位とする。

かかる構成においては、ソース3内に空乏層が伸び、選択セル21の浮遊ゲート6とソース3との間にかかる電圧の一部が空乏層に分割され、トンネル膜にかかる電圧が減少するために、浮遊ゲート6からソース3への電荷の引き抜きは起きず、したがって選択セル21に隣接する非選択セル22に、誤書込は起きない。

従って、ソース3とドレイン4、4に同じ電圧を印加することにより、パンチスルーを防止しながら、共通ソース線構成をとることが可能であり、省面積化が可能となり、集積度がさらに上がるという効果がもたらされる。

【0025】

次に、図4を用いて、本発明の第1実施形態の製造方法について説明する。

図4(a)に示すように、半導体基板1の表面に、素子分離領域2として、例えばシリコン酸化膜を埋め込んだ構造を形成する。続いて、例えば熱酸化法により900°Cの乾燥酸素を用いて、素子全面に、厚さ10nmの第1のゲート絶縁膜5を形成する。更に素子全面を浮遊ゲートとするため、例えば厚さ100nmの多結晶シリコン膜を形成する。この例では多結晶シリコン膜の形成後、その電気抵抗を低減するために、イオン注入法によりリン(P)を導入している。その後、既知の方法を採用して、多結晶シリコン膜をパターニングして、浮遊ゲート6を得る。この時点では図4(a)の平面図に示すように、浮遊ゲート6は、Y方向に一様に伸長する様にパターニングされている。続いてソースを形成する領域をマスクで覆い、N型の不純物として例えばヒ素(A s)を $3 \times 10^{15} \text{ cm}^{-2}$ 注入し、ドレイン4を形成する。マスクを除去した後に、熱処理し、ドレイン領域のヒ素を拡散して、浮遊ゲート6とドレイン4のオーバーラップを大きくする。

【0026】

次いで図4(b)に示すように、素子全面に、ヒ素を例えば $5 \times 10^{13} \text{ cm}^{-2}$ 注入してソース3を形成する。その後、熱処理を抑制すると、ソース3と浮遊ゲ

ート6のオーバーラップが小さくなる。或いはソース3と浮遊ゲート6のオーバーラップが無くなるが、浮遊ゲート6がソースの線上にあって、電気的重なりがないようにしたものであっても良い。

その後、図4(c)に示すように、たとえばCVD法により、素子全面にシリコン酸化膜9を成長させ、更にエッチバック法、或いはCMP(Chemical-Mechanical Polishing)法により、ソース3とドレイン4の上方のシリコン酸化膜9を残して、浮遊ゲート6の上面を露出させる。

続いて素子全面に第2のゲート絶縁膜7として、例えば8nmのシリコン酸化膜と10nmのシリコン酸化膜と8nmのシリコン酸化膜からなる積層膜を形成する。更に、制御ゲート8の材料として、リンを含む厚さ100nmの多結晶シリコン膜と、タンゲステンとシリコンとの厚さ100nmの共晶膜とを形成する。その後、制御ゲートをパターニングすることにより、図1、図2に示すような構造物を作製する。

【0027】

次に、図7に浮遊ゲートとドレインのオーバーラップ幅と、書き込み時間の関係の一例を示す。また図7に浮遊ゲートとソースのオーバーラップ幅と、誤書き込み時間との関係を同時に示す。ここで誤書き込み時間を以下のように定義した。：ドレインを接地し、ソースに正電圧を印加した場合に、浮遊ゲートからソースへ、多少電荷が引き抜かれてセルの閾値が0.5V低下するのに要する時間。

バイアス条件は制御ゲートに-12V、ドレインおよびソースに5V印加することとしている。

【0028】

本発明においては、図7に示される浮遊ゲートとドレインのオーバーラップ幅a(図7中、●付の折れ線で示す)と、ソースと浮遊ゲートのオーバーラップ幅b(図7中、○付の折れ線で示す)との差(a-b)によるマージンが1桁以上有すればよい。図7に示されるように、特に本発明では、前記した差(a-b)を0.02μm以上とすればよい。

このような浮遊ゲートとドレインのオーバーラップ幅aは、0.03μm以上であり、ソースと浮遊ゲートのオーバーラップ幅bは0.01μm以下であるこ

とが好ましい。

また図7に示されるように、差(a-b)を0.05μm以上とすることがより好ましい。特に浮遊ゲートとドレインのオーバーラップ幅を0.08μm以上、ソースと浮遊ゲートのオーバーラップ幅を0.03μm以下となるようにすれば、選択セルの書込時間と非選択セルの誤書込時間に5桁以上のマージンが生じ、実質的に誤書込が起きなくなる。

【0029】

＜第2実施形態＞

次に、本発明の第2実施形態について説明する。

前第1実施形態では、ソースと浮遊ゲートとのオーバーラップが小さい様に形成したが、本第2の実施形態では、基板との接合付近のソースの不純物勾配を緩やかに形成することとしている。そのため、書込時にソースに正電圧を印加するとソース内に大きく空乏層が伸び、トンネル膜に分割される電圧が大きく減少するため、非選択セルへの誤書込がより抑制されるという効果がある。

この様な構造は、前第1実施形態において、ソースを例えば $3 \times 10^{14} \text{ cm}^{-2}$ の濃度に注入した後、熱処理により拡散させることにより実現される。その他は、前記した第1実施形態と同様にして、第2実施形態に使用される不揮発メモリを作製する。

【0030】

＜第3実施形態＞

次に第3実施形態について説明する。

本第3の実施形態では、ソースを不純物濃度の低い領域と、高い領域から形成した例を図6に示す。図6に示すように、本第3実施形態では、ソースが不純物濃度の低いソース30と、不純物濃度の高い第2のソース31とからなる。

ソース30は浮遊ゲート6とオーバーラップする領域に形成され、そのオーバーラップ幅がドレイン4と浮遊ゲート6のオーバーラップ幅より小さく形成されている。第2のソース31は浮遊ゲート6から離れた領域に形成されている。

【0031】

このような構造は、例えば以下のようにして形成される。

浮遊ゲート6を前記同様にして形成した後、素子全面に、たとえばヒ素を $5 \times 10^{13} \text{ cm}^{-2}$ 注入してソース30を形成する。次いでソース領域をマスクで覆い、たとえばヒ素を $3 \times 10^{15} \text{ cm}^{-2}$ 注入することにより、ドレイン4を形成する。その後素子全面にたとえばCVD法によりシリコン酸化膜を形成した後、エッチバックすることにより、サイドウォール23を形成する。次いで素子全面に例えればヒ素を $3 \times 10^{15} \text{ cm}^{-2}$ 注入することにより、第2のソース31を形成する。

このようにすることによって、本第3の実施形態では、ソース30は不純物濃度が低いために浮遊ゲート6との間にオーバーラップが形成されず、かつ、不純物濃度の高い第2のソース31が存在するため、ソース抵抗が高くなる傾向が生じなくなるという効果をさらに有する。

【0032】

【発明の効果】

本発明に係る不揮発メモリの構造は、共通ソース線構成のNOR型フラッシュメモリにおいて、メモリセルのドレインとゲートとのオーバーラップが大きく、かつソースとゲートとのオーバーラップの小さい構造としたので、書き時は選択ワード線に負電圧を印加し、選択ビット線とソース線に同じ大きさの正電圧を印加することにより、選択セルではソース・ドレイン間のパンチスルーがなく、浮遊ゲートからドレインに電荷を引き抜くことができる。この時、隣接セルのソースに正電圧、ワード線に負電圧がかかるが、ソースとゲートのオーバーラップが小さいために、浮遊ゲートからソースへの電荷引き抜きは起こらず、このセルが非選択であった場合に、誤書き込は生じないという効果が得られる。

【図面の簡単な説明】

【図1】

本発明に係る第1の実施形態に係る平面図である。

【図2】

図1のA-A線に沿った断面図を表す。

【図3】

図1のアレイ構成の等価回路を示した図である

【図4】

本発明に係る不揮発メモリの第1実施形態に係る製造の一例を示す図である。

【図5】

本発明に係る不揮発メモリの第1実施形態に係る素子分離領域と、浮遊ゲートについての平面図を示す。

【図6】

本発明に係る不揮発メモリの第3実施形態に係る素子分離領域と、浮遊ゲートについての平面図を示す。

【図7】

浮遊ゲートとドレインのオーバーラップ幅（●）と、書込時間の関係の一例を示す図であり、また浮遊ゲートとソースのオーバーラップ幅（○）と、誤書込時間との関係を示す図である。

【図8】

従来のフラッシュメモリの一例を示す平面図である。

【図9】

従来のフラッシュメモリの一例を示す断面図である。

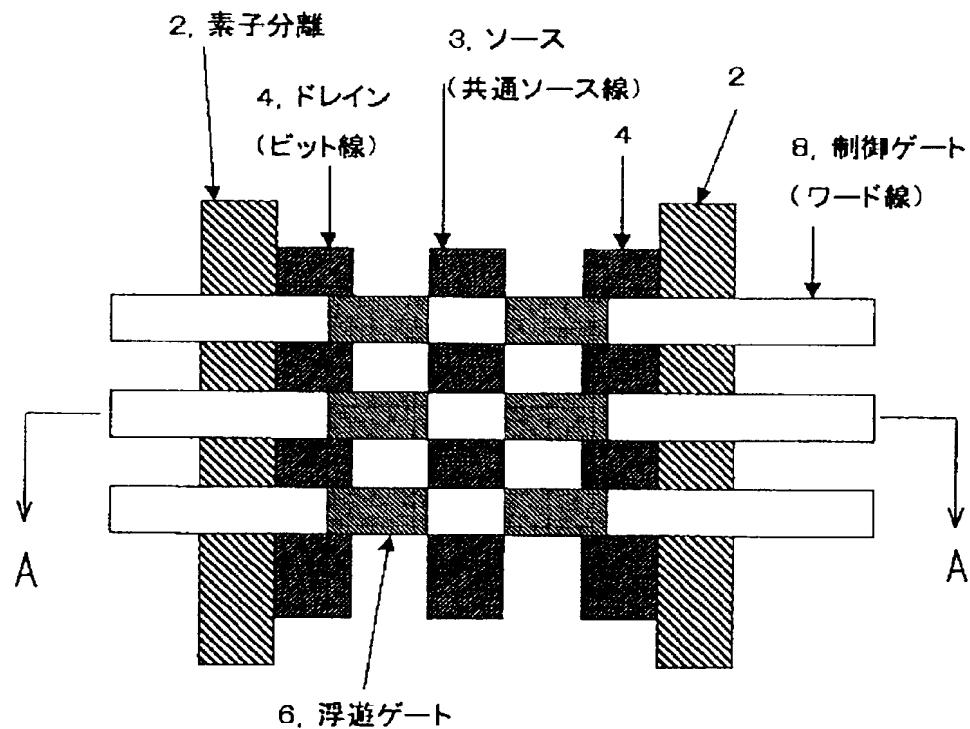
【符号の説明】

- 1 半導体基板
- 2 素子分離領域
- 3 ソース
- 4 ドレイン
- 5 第1のゲート絶縁膜
- 6 浮遊ゲート
- 7 第2のゲート絶縁膜
- 8 制御ゲート
- 9 シリコン酸化膜
- 11 選択ビット線
- 12 共通ソース線

- 1 3 非選択ビット線
- 1 4 非選択ワード線
- 1 5 選択ワード線
- 2 1 選択セル
- 2 2 非選択セル
- 2 3 サイドウォール
- 3 0 第1のソース
- 3 1 第2のソース

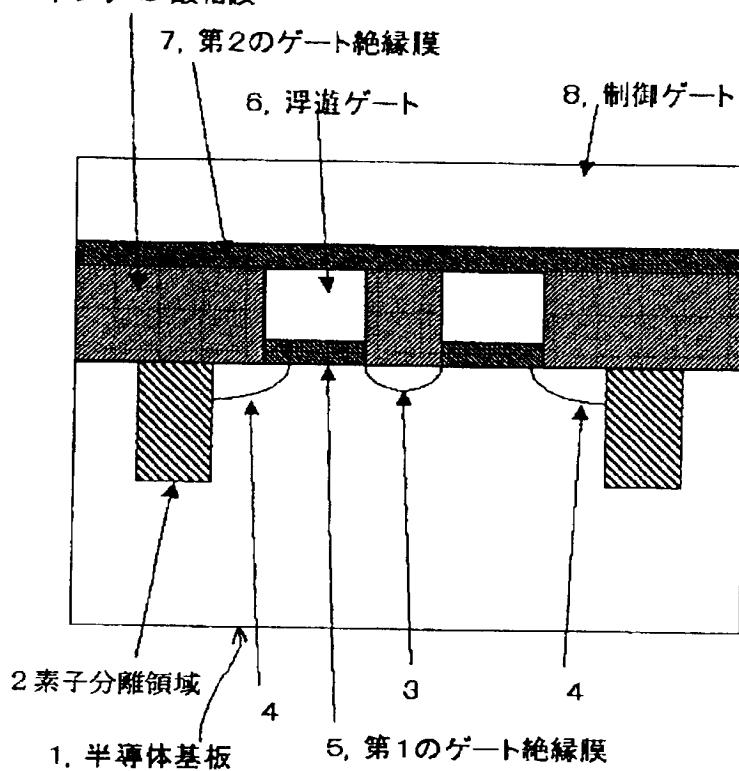
【書類名】 図面

【図1】

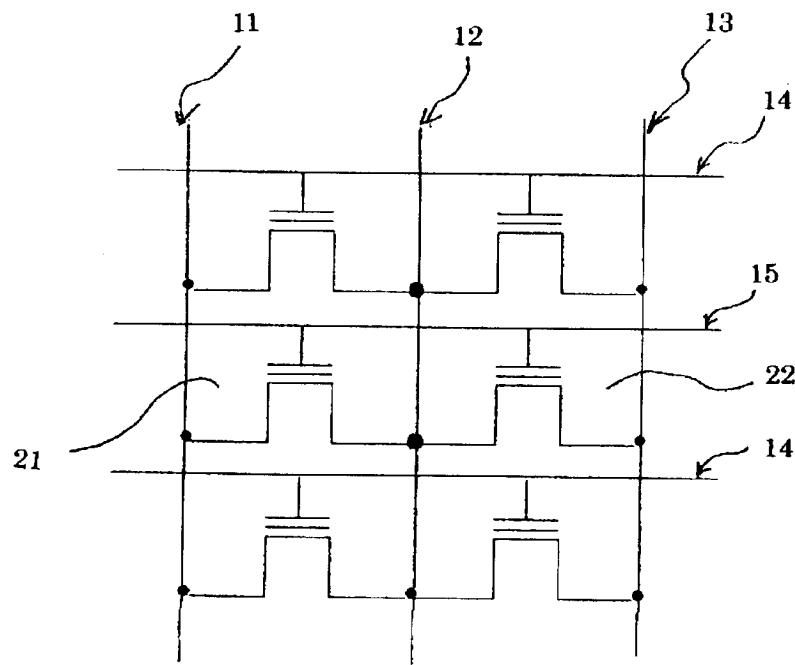


【図2】

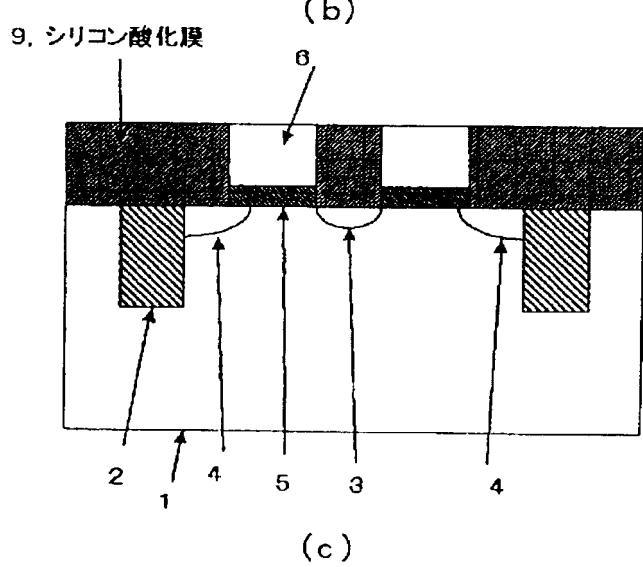
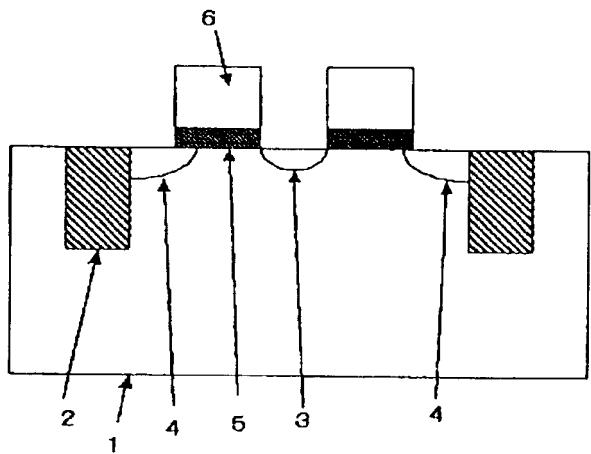
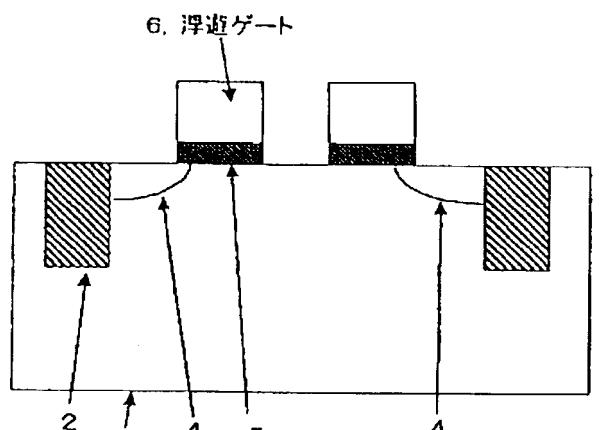
9. シリコン酸化膜



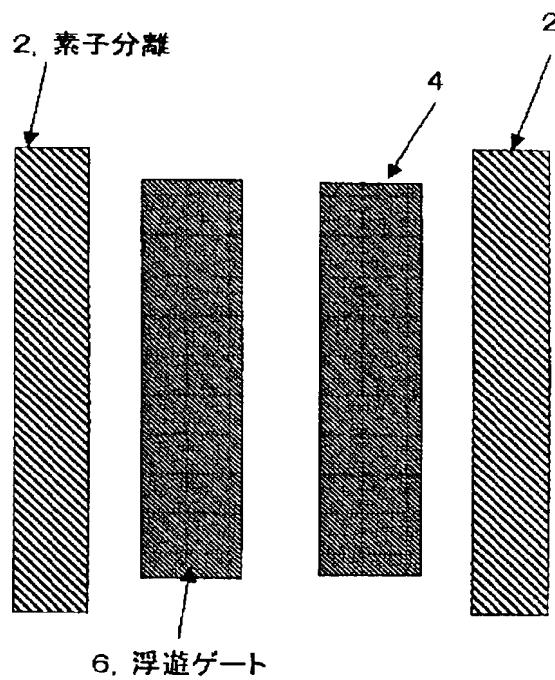
【図3】



【図4】

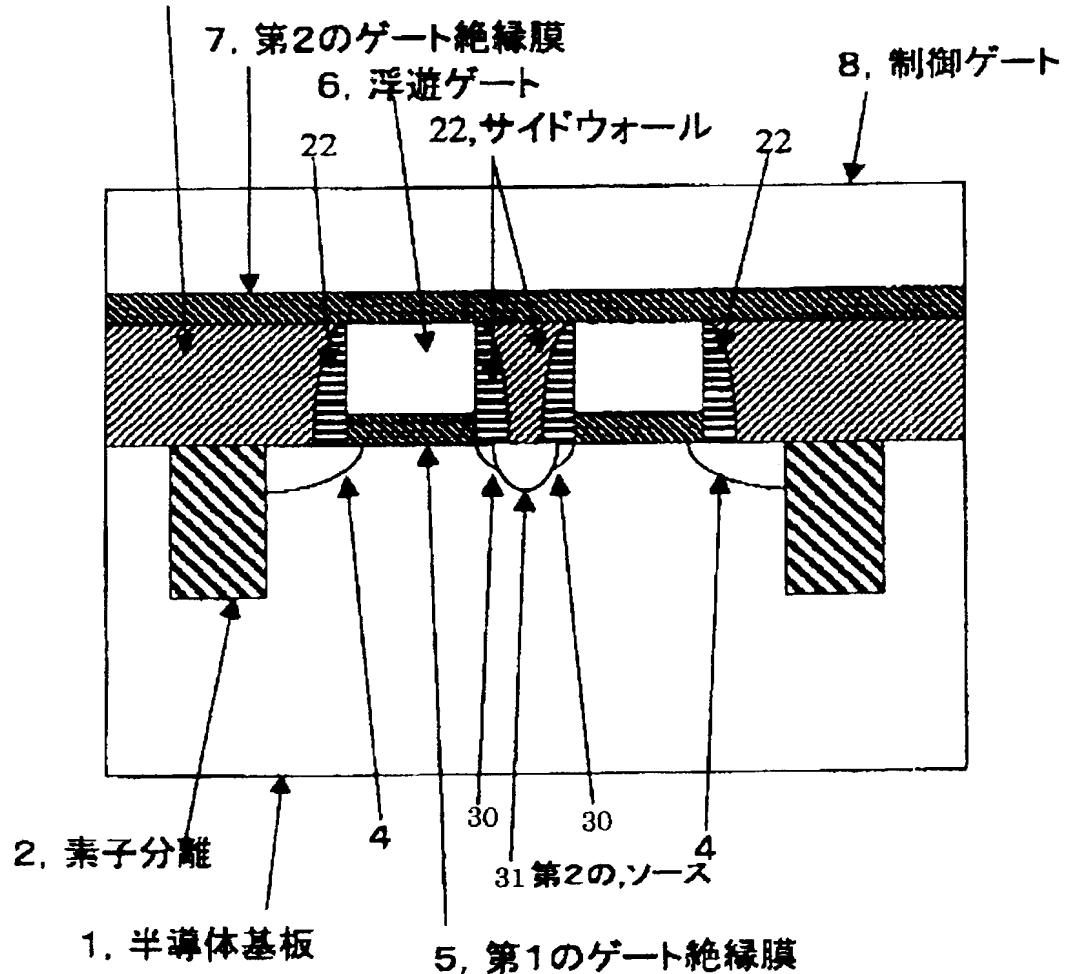


【図5】

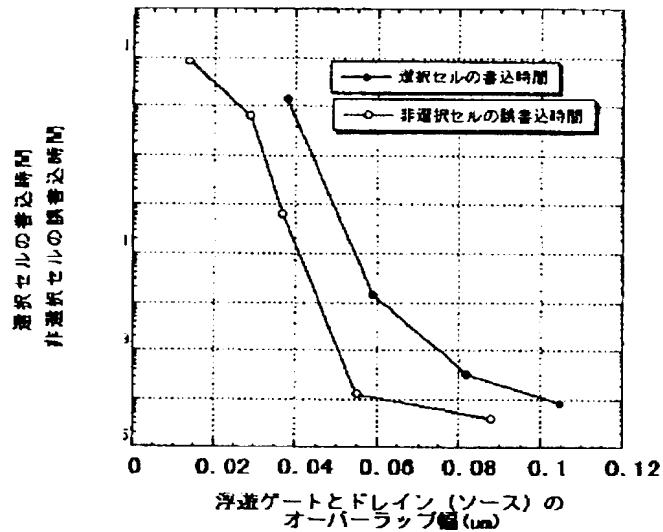


【図6】

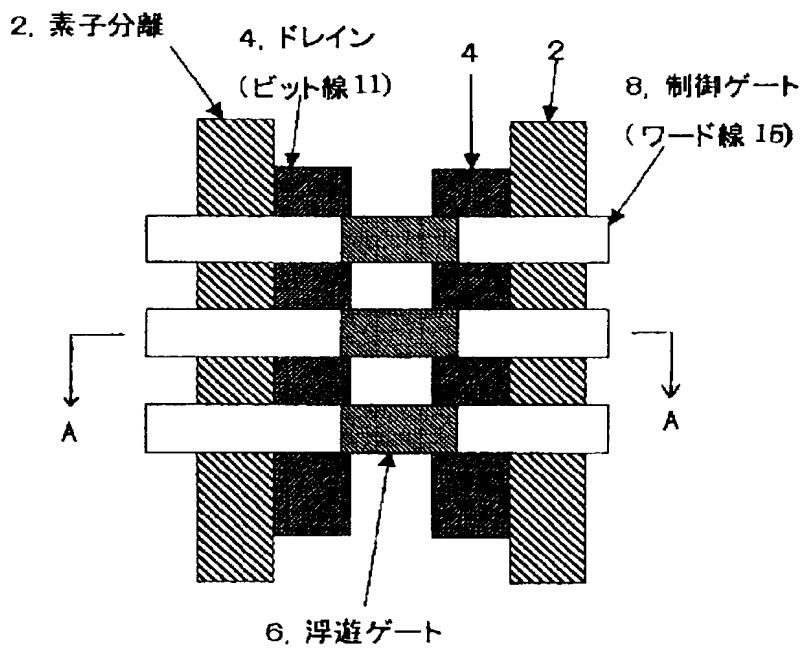
9. シリコン酸化膜



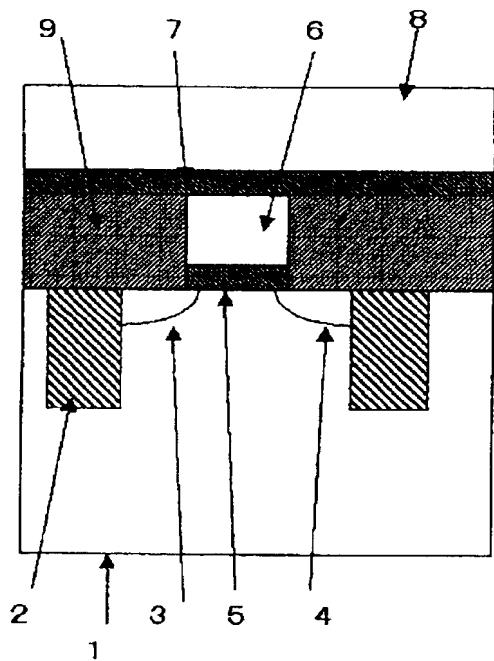
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 微細なフラッシュメモリにおいてパンチスルーを抑制し、かつ省面積化することが可能な共通ソース線構造を両立させる不揮発性メモリ構造の提供。

【解決手段】 浮遊ゲートを有する共通ソース線構成のNOR型不揮発性フラッシュメモリ構造において、メモリセルのドレインとゲートとのオーバーラップが、ソースと前記浮遊ゲートとのオーバーラップよりも大きいことを特徴とする。

【選択図】 図2

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社